

電流制限設定機能付き 1A 出力、超低ドロップアウト・リニアレギュレータ

ISL80121-5

ISL80121-5 は、電流制限値の設定機能を備えた、低ドロップアウトのシングル出力 LDO です。入力電圧範囲は 5V から 6V で、公称出力電圧は 5V です。5V 品以外は特注により承ります。

クラス最高のアナログ性能の実現と総合的な価値の向上を図るために、本 LDO ファミリーにはサブミクロン BiCMOS プロセスを採用しました。電流制限値の設定機能はエンドアプリケーション・システムの信頼性の向上を目的としています。ソフトスタートのランプ時間はソフトスタート・ピンに接続する外付けコンデンサによって設定します。デバイスを自己消費電流の小さいシャットダウンモードに移行させる ENABLE 機能を備えています。

本 BiCMOS LDO の自己消費電流は負荷の関数で、バイポーラ LDO に比べてきわめて小さいのが特長です。そのため、パッケージの小型化と高い変換効率とを両立しています。ただし、高速な負荷応答性能を実現するために、自己消費電流性能をわずかに犠牲にしています。

表 1. 当製品ファミリにおける主な機能の違い

型番	I _{LIMIT} 設定機能	I _{LIMIT} (デフォルト)	V _{OUT} 可変または固定
ISL80101-ADJ	×	1.75A	可変
ISL80101	×	1.75A	1.8V, 2.5V, 3.3V, 5.0V
ISL80101A	○	1.62A	可変
ISL80121-5	○	0.75A	5.0V

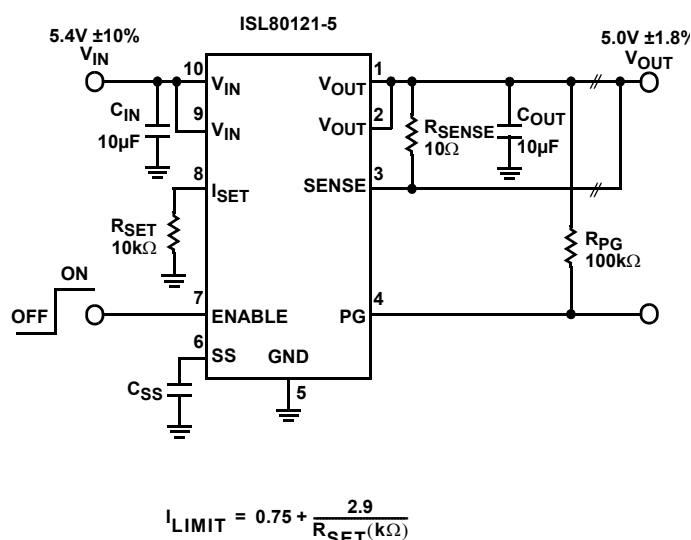
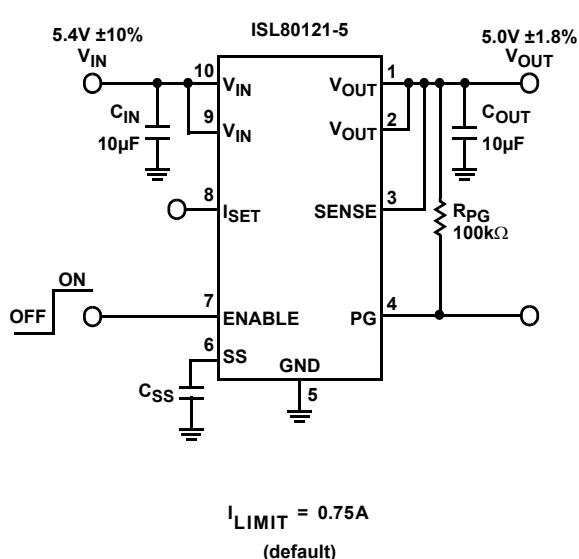
特長

- ・ライン変動、負荷変動、T_J = -40 °C ~ +125 °C の温度範囲に対して、精度 ±1.8% を保証
- ・V_{IN} = 5.0V で 130mV の超低ドロップアウト電圧
- ・最大 1.75A の高精度な電流制限設定機能
- ・高速な負荷変動応答
- ・出力ノイズ 210μV_{RM}
- ・パワーグッド出力
- ・ランプ時間を設定可能なソフトスタート
- ・過熱保護機能
- ・小型 10 Ld DFN パッケージ

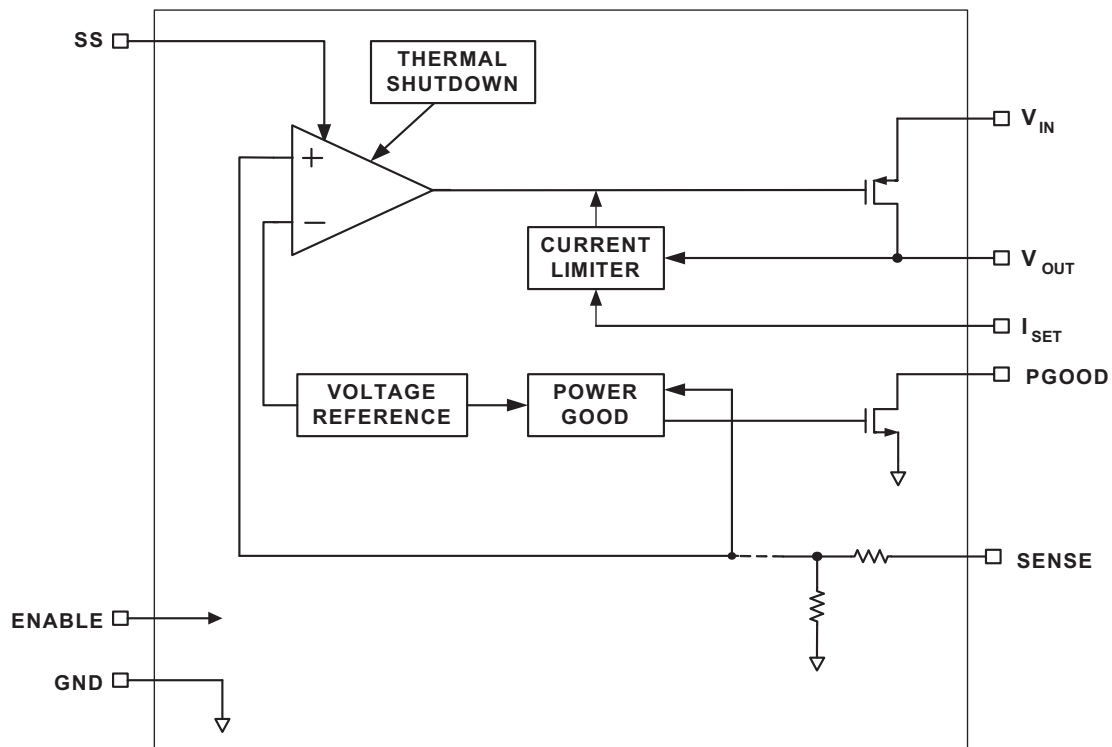
アプリケーション

- ・ USB デバイス
- ・ テレコム機器とネットワーク機器
- ・ 医療用機器
- ・ 計装システム
- ・ ルータとスイッチ
- ・ ゲーム機

アプリケーション回路例



ブロック図



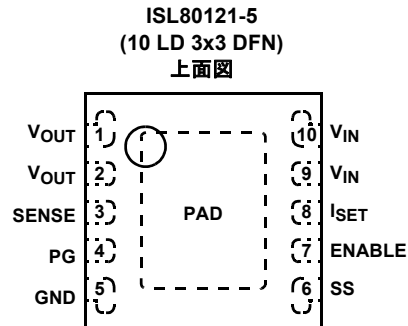
注文情報

製品型番 (Note 1、2、3)	マーキング	V _{OUT} 電圧 (Note 3)	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの 外形図
ISL80121IR50Z	DZAD	5.0V	-40 ~ +125	10 Ld 3x3 DFN	L10.3x3
ISL80121-5EVAL2Z	評価ボード				

Note :

1. テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様については、テクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit ([TB347](#))」を参照してください。
2. これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイアタッチ素材を採用するとともに、端子には亜鉛 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリーハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 湿度感受性レベル (MSL) については [ISL80121-5](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices ([TB363](#))」を参照してください。

ピン配置



ピンの説明

ピン番号	ピン名称	説明
1, 2	V _{OUT}	出力電圧です。動作の安定化のために、X5R/X7R 特性の 10μF 以上の出力コンデンサを接続してください。詳細は「機能の説明」の 8 ページにある「外付けコンデンサの要件」を参照してください。
3	SENSE	固定 V _{OUT} 品のリモート電圧センス入力です。V _{OUT} ピンと負荷の間に存在する抵抗成分によってわずかな電圧降下が発生し、V _{OUT} の精度を劣化させます。V _{OUT} を正しくセンスしたい場合は、SENSE ピンは V _{OUT} ピンではなく負荷点に接続してください。
4	PG	V _{OUT} がレギュレーション状態にあることを示す信号です。レギュレーション状態にないときは Low が出力されます。使用しない場合は必ずグラウンドに接続してください。
5	GND	グラウンドです。
6	SS	突入電流を設定する外付けコンデンサを接続します。
7	ENABLE	V _{IN} とは独立したチップ・イネーブル入力です。TTL レベルと CMOS レベルと互換があります。
8	I _{SET}	電流制限値を設定する入力ピンです。このピンを開放のまま使用すると電流制限値は 0.75A に設定されます。R _{SET} ピンをグラウンドに接続すると電流制限値は大きくなり、R _{SET} を V _{IN} に接続すると電流制限値は小さくなります。詳しくは「機能の説明」の 7 ページにある「電流制限値の設定」を参照してください。I _{SET} ピンをグラウンドに直接接続してはなりません。
9, 10	V _{IN}	電源入力です。動作の安定化のために X5R/X7R 特性の 10μF 以上の入力コンデンサを接続してください。詳細は「機能の説明」の 8 ページにある「外付けコンデンサの要件」を参照してください。
-	EPAD	EPAD はグラウンド電位です。放熱性能を高めるためにグラウンド層に直接ハンダ付けしてください。詳細は 9 ページの「電力損失と放熱」を参照してください。

絶対最大定格 (Note 6)

V _{IN} (GND 基準)	-0.3V ~ +6.5V
V _{OUT} (GND 基準)	-0.3V ~ +6.5V
PG, ENABLE, SENSE, SS, I _{SET}	
(GND 基準)	-0.3V ~ +6.5V
ESD 定格	
人体モデル (JESD22-A114 に従い試験)	2.5kV
機械モデル (JESD22-A115 に従い試験)	250V
ラッチアップ (JESD78 に従い試験)	±100mA @ 85 °C

温度情報

熱抵抗 (代表値)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
10 Ld 3x3 DFN パッケージ (Note 4, 5)...	48	7
最大ジャンクション温度 (プラスチック・パッケージ)	+150 °C	
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	以下の URL を参照	
	http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

推奨動作条件 (Note 7)

ジャンクション温度範囲 (T _J)	-40 °C ~ +125 °C
V _{IN} (GND 基準)	5V ~ 6V
I _{SET} (通常動作時)	≤ 500mV
SENSE (通常動作時)	V _{OUT}
PG シンク電流	10mA

注意：過度に長い期間にわたって最大定格点または最大定格付近でモジュールを動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあると同時に、保証の対象とはならない可能性があります。

Note :

4. θ_{JA} はデバイスを放熱効率の高い試験基板に実装し、自由大気中で測定した値です。詳しくはテクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照してください。
5. θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。
6. 絶対最大電圧定格は、6V 超が印加される時間の生涯平均割合を 1% として定義しています。
7. エレクトロマイグレーションに関する仕様は、生涯平均ジャンクション温度を 110 °C として定義しています。最大定格 DC 電流 = 生涯平均電流です。

電気的特性 特記のない限り、すべてのパラメータは以下の条件で規定しています。V_{IN} = V_{OUT} + 0.4V、V_{OUT} = 5.0V、C_{IN} = C_{OUT} = 1000μF、T_J = +25 °C、I_{LOAD} = 0A。ワーストケースのジャンクション温度を決定するために、アプリケーションはパッケージの放熱ガイドラインに従わなければなりません。7 ページの「機能の説明」セクションとテクニカル・ブリーフ TB379 を参照してください。
太字のリミット値は動作温度範囲 -40 °C から +125 °C に対して適用されます。T_J = T_A を維持するパルス負荷試験は ATE を用いて実施し、規定リミット値を定義しています。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
DC CHARACTERISTICS						
DC Output Voltage Accuracy	V _{OUT}	V _{OUT} + 0.4V < V _{IN} < 6V; 0A < I _{LOAD} < 1A	-1.8		1.8	%
DC Input Line Regulation	$\Delta V_{OUT} / \Delta V_{IN}$	V _{OUT} + 0.4V < V _{IN} < 6.0V, V _{OUT} = 5.0V			1	%
DC Output Load Regulation	ΔV_{OUT}	0A < I _{LOAD} < 1A	-1			%
Ground Pin Current	I _Q	I _{LOAD} = 0A, 2.2V < V _{IN} < 6V		3	5	mA
		I _{LOAD} = 1A, 2.2V < V _{IN} < 6V		5	7	mA
Ground Pin Current in Shutdown	I _{SHDN}	ENABLE = 0.2V, V _{IN} = 6V		0.2	12	μA
Dropout Voltage (Note 9)	V _{DO}	I _{LOAD} = 1A, V _{IN} = 5.0V, V _{SENSE} = 0V		90	130	mV
Output Current Limit	I _{LIMIT}	V _{OUT} = 4.75V, V _{OUT} + 0.4V < V _{IN} < 6V, I _{SET} is floating	0.66	0.75	0.84	A
		V _{OUT} = 4.75V, V _{OUT} + 0.4V < V _{IN} < 6V, R _{SET} = 19.33kΩ		0.9		A
Thermal Shutdown Temperature	TSD	V _{OUT} + 0.4V < V _{IN} < 6V		160		°C
Thermal Shutdown Hysteresis (Rising Threshold)	TSDn	V _{OUT} + 0.4V < V _{IN} < 6V		30		°C
AC CHARACTERISTICS						
Input Supply Ripple Rejection	PSRR	f = 1kHz, I _{LOAD} = 1A		40		dB
		f = 1kHz, I _{LOAD} = 100mA		40		dB

電気的特性 特記のない限り、すべてのパラメータは以下の条件で規定しています。 $V_{IN} = V_{OUT} + 0.4V$ 、 $V_{OUT} = 5.0V$ 、 $C_{IN} = C_{OUT} = 1000\mu F$ 、 $T_J = +25^\circ C$ 、 $I_{LOAD} = 0A$ 。ワーストケースのジャンクション温度を決定するために、アプリケーションはパッケージの放熱ガイドラインに従わなければなりません。7 ページの「機能の説明」セクションとテクニカル・ブリーフ [TB379](#) を参照してください。
太字のリミット値は動作温度範囲 $-40^\circ C$ から $+125^\circ C$ に対して適用されます。 $T_J = T_A$ を維持するパルス負荷試験は ATE を用いて実施し、規定リミット値を定義しています。 (続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
Output Noise Voltage		$I_{LOAD} = 10mA$, $BW = 10Hz < f < 100kHz$		210		μV_{RMS}
ENABLE PIN CHARACTERISTICS						
Turn-on Threshold	$V_{EN(HIGH)}$	$2.2V < V_{IN} < 6V$	0.3	0.8	1.0	V
Hysteresis (Rising Threshold)	$V_{EN(HYS)}$	$2.2V < V_{IN} < 6V$	10	80	200	mV
ENABLE Pin Turn-on Delay	t_{EN}	$C_{OUT} = 10\mu F$, $I_{LOAD} = 1A$		100		μs
ENABLE Pin Leakage Current		$V_{IN} = 6V$, $ENABLE = 3V$			1	μA
SOFT-START CHARACTERISTICS						
Reset Pull-Down Current	I_{PD}	$ENABLE = 0V$, $SS = 1V$	0.5	1	1.3	mA
Soft-Start Charge Current	I_{CHG}		-3.3	-2	-0.8	μA
PG PIN CHARACTERISTICS						
V_{OUT} PG Flag Threshold			75	84	92	$\%V_{OUT}$
V_{OUT} PG Flag Hysteresis				4		%
PG Flag Low Voltage		$I_{SINK} = 500\mu A$		47	100	mV
PG Flag Leakage Current		$V_{IN} = 6V$, $PG = 6V$		0.05	1	μA

Note :

- 1 つまたは複数の方法によってデータシート記載のリミット値への準拠性が保証されています (量産試験、特性評価、または設計)。
- ドロップアウトは、 V_{OUT} が公称レギュレーションを下回っているときの、電源電圧 V_{IN} と V_{OUT} の差として定義されています。

代表的な性能特性

特記のない限り、 $V_{IN} = 5.4V$ 、 $V_{OUT} = 5.0V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_L = 0A$ 。

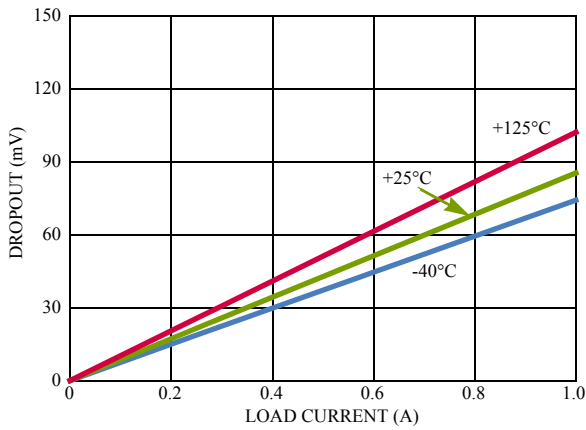


図 1. ドロップアウト電圧 vs 負荷

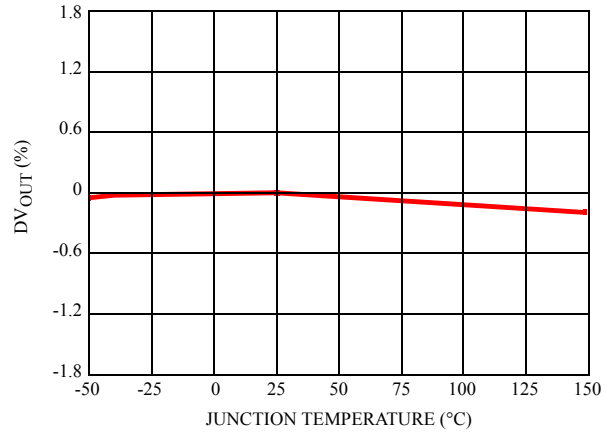


図 2. 出力電圧 vs 温度

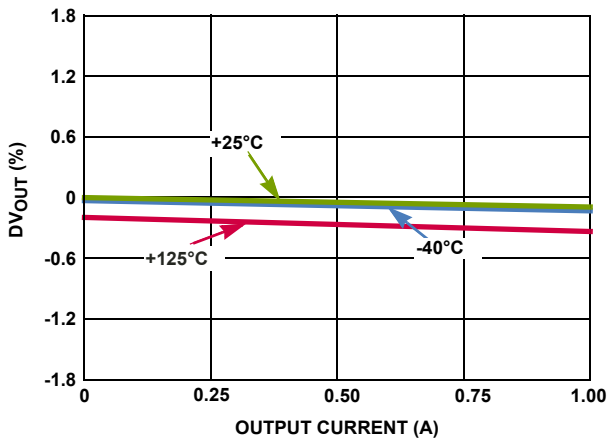


図 3. 出力電圧 vs 出力電流

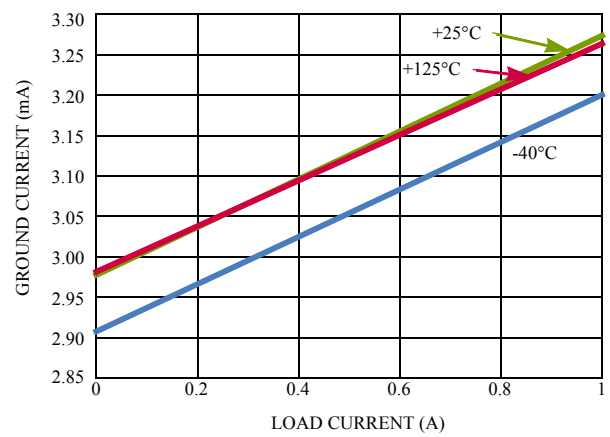


図 4. グラウンド電流 vs 負荷電流

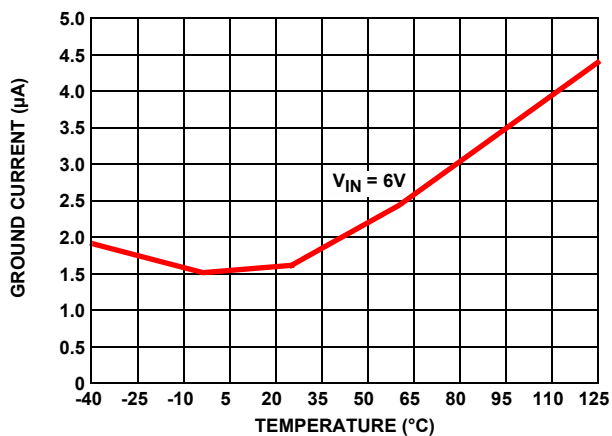


図 5. シャットダウン電流 vs 温度

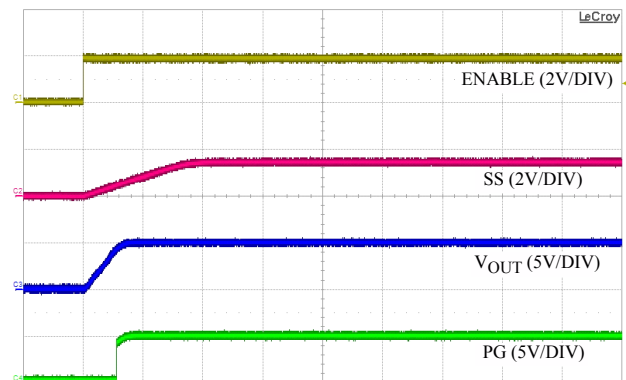


図 6. イネーブル・スタートアップ

代表的な性能特性

特記のない限り、 $V_{IN} = 5.4V$ 、 $V_{OUT} = 5.0V$ 、 $C_{IN} = C_{OUT} = 10\mu F$ 、 $T_J = +25^\circ C$ 、 $I_L = 0A$ 。(続き)

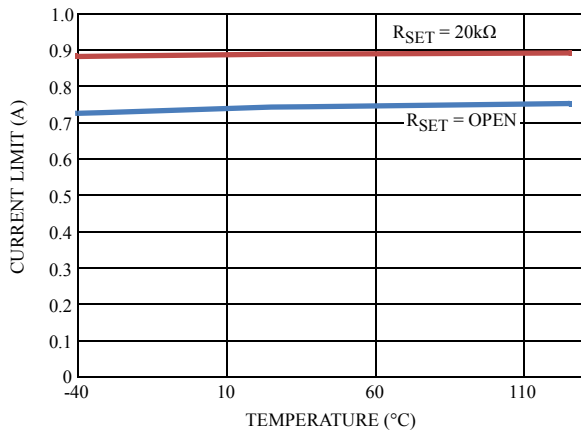


図 7. 電流制限 vs 温度

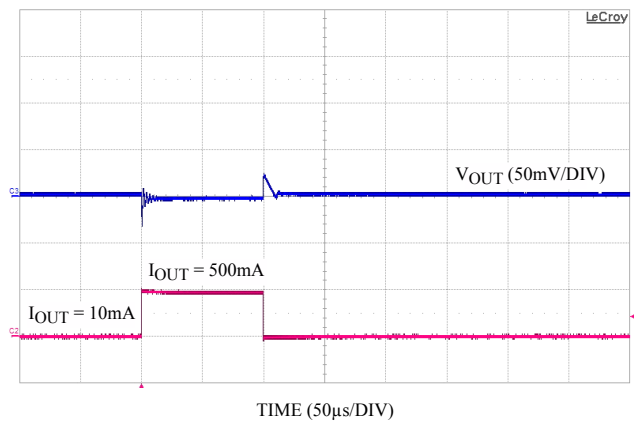


図 8. 負荷変動応答

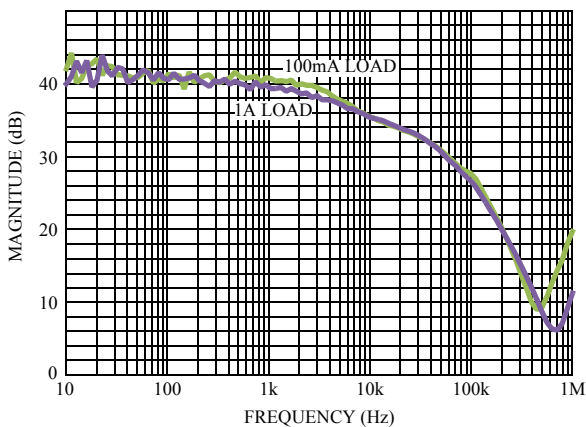
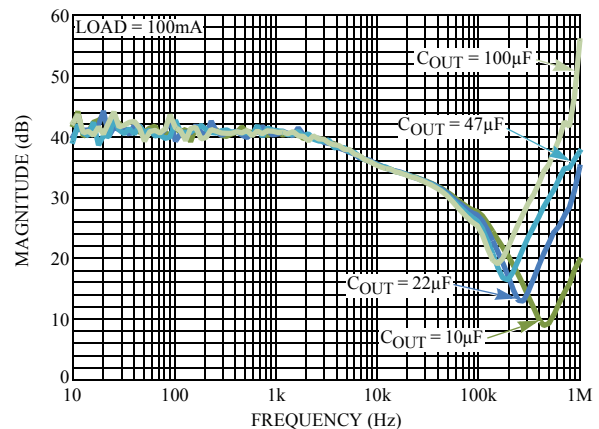


図 9. PSRR vs 負荷

図 10. PSRR vs C_{OUT}

機能の説明

入力電圧の要件

ISL80121-5 は 5V 出力に最適化されていて、5V から 6V の範囲の入力電圧で動作します。 V_{IN} から V_{OUT} にアクティブフィルタ機能 (PSRR) を期待する場合、 V_{IN} は、LDO の性質により、アプリケーションの最大定格電流でのドロップアウト電圧を V_{OUT} に加えた電圧に、さらにマージンを加えた電圧以上でなければなりません。本 LDO ファミリーはドロップアウト特性が優れているため、TO220/263 よりも小さいパッケージでありながら、十分な効率が得られます。

電流制限値の設定

ISL80121-5 は出力短絡や出力過負荷状態で起こる過電流に対して保護機能を備えています。過電流状態が発生すると ISL80121-5 は定電流源として動作します。出力短絡あるいは出力過負荷状態が解消されると、出力は通常の電圧レギュレーションに戻ります。

I_{SET} ピンを開放にしたとき、電流制限値はデフォルトの 0.75A に設定されます。

電流制限値を大きくするには、抵抗 R_{SET} を介して I_{SET} ピンをグラウンドに接続します。電流制限値は抵抗 R_{SET} で決まり、式 1 に示します。

$$I_{LIMIT} = 0.75 + \frac{2.9}{R_{SET}(k\Omega)} \quad (式 1)$$

R_{SET} を I_{SET} ピンとグラウンドの間に接続したときの、 R_{SET} の抵抗値と電流制限値の関係を図 11 に示します。なお、 I_{SET} ピンはグラウンドに直接接続してはなりません。電流制限値を 1.75A に設定してしまうとデバイスに損傷が及ぶ可能性があるため、決してそのような接続はしないでください。

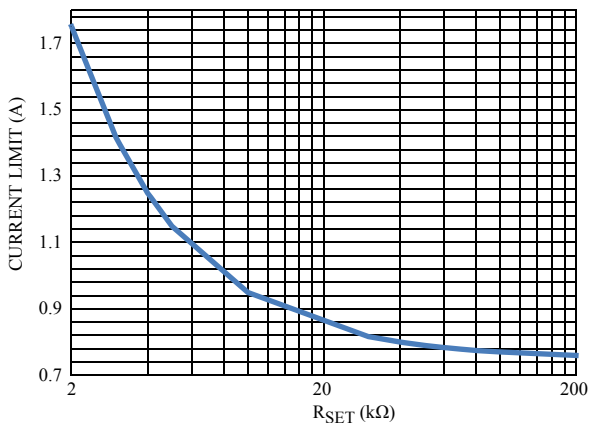


図 11. I_{LIMIT} を大きめに設定 (R_{SET} をグラウンドに接続)

電流制限値をデフォルトの 0.75A 以下に設定するには、抵抗 R_{SET} を介して I_{SET} ピンを V_{IN} に接続します。 R_{SET} と V_{IN} で決まる電流制限値は式 2 のとおりです。

$$I_{LIMIT} = 0.75 - \frac{2.9 \times (2 \times V_{IN} - 1)}{R_{SET}(k\Omega)} \quad (式 2)$$

$V_{IN} = 5.4V$ で、 R_{SET} を V_{IN} に接続したときの R_{SET} の抵抗値と電流制限値の関係を図 12 に示します。

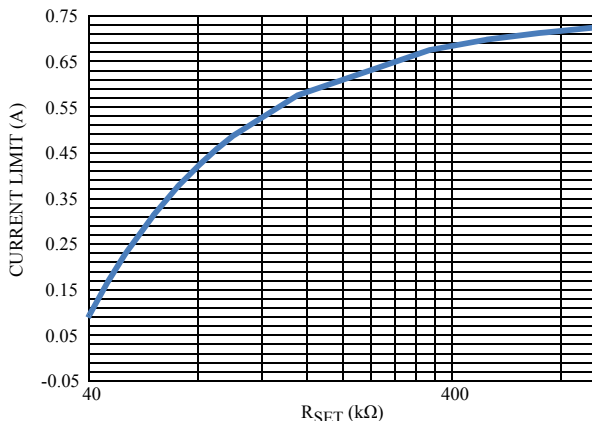


図 12. I_{LIMIT} を小さめに設定 (R_{SET} を V_{IN} に接続)

イネーブル動作

ENABLE ピンのターンオン・スレッシュホールドは代表値で 800mV で、スレッシュホールドは 80mV です。プルアップ抵抗またはプルダウン抵抗の内蔵化によってこの値を変更する特注仕様を承っています。イネーブル機能を使用しない場合は、EN ピンを開放にせず、 V_{IN} に接続してください。ENABLE ピンをオープンコレクタ出力またはオープンドレイン出力で制御する場合は、1kΩ から 10kΩ の範囲のプルアップ抵抗を外付けしてください。LDO の出力を常時オンにしておきたい場合は、ENABLE ピンを V_{IN} に直接接続してください。

パワーグッド動作

PG ピンは、 V_{OUT} 、電流制限トリップ、 V_{IN} のそれぞれの状態を示すロジック出力です。PG フラグはオープンドレイン NMOS 出力で、フォルト状態のときは最大 10mA のシンクが可能です。一般に PG ピンと V_{OUT} ピンとの間にプルアップ抵抗が必要です。ただし、PG ピンを V_{IN} 以上の電圧でプル

アップしてはなりません。出力電圧が公称出力電圧の 84% 以下に低下したとき、電流制限フォルトが発生したとき、または、入力電圧が低すぎるときに、PG には Low が出力されます。PG はフォルト発生時も機能しますが、サーマルシャットダウン中は機能しません。パワーグッド機能を利用しない場合は、PG ピンをグラウンドに接続してください。

ソフトスタート動作

ソフトスタート回路は、パワーアップ時または LDO イネーブル時に、出力電圧がレギュレーション電圧に向けて上昇する速度を制御する役割を担います。スタートアップのランブ時間は SS ピンとグラウンドの間に接続した外付けコンデンサ C_{SS} で設定します。 C_{SS} は内蔵の 2μA 電流源によって充電され、帰還リファレンス電圧は C_{SS} の両端電圧でクランプされます。スタートアップ時間は式 3 で求めます。

$$t_{start} = \frac{(C_{SS} \times 0.5)}{2\mu A} \quad (式 3)$$

スタートアップ時の突入電流から C_{SS} の容量を求めるには式 4 を使います。 V_{OUT} は出力電圧、 C_{OUT} は総出力容量、 I_{INRUSH} は所望の突入電流値です。

$$C_{SS} = \frac{(V_{OUT} \times C_{OUT} \times 2\mu A)}{I_{INRUSH} \times 0.5V} \quad (式 4)$$

スタートアップまたはイネーブルの開始時点において、外付けコンデンサはグラウンド電位に放電されています。

外付けコンデンサの要件

適切な動作には外付けコンデンサが必要です。LDO 回路から十分な性能を得るために、基板レイアウトと、コンデンサのタイプと容量の選択には、十分な注意を払ってください。

出力コンデンサ

ISL80121-5 は最新の内部補償回路を採用しているため、出力コンデンサの選択に制約はほとんどありません。 V_{OUT} の局所バイパスに使う出力コンデンサは、X5R/X7R 特性の 10μF 以上であれば、コンデンサの種類や容量は問わず、温度範囲、 V_{IN} 範囲、 V_{OUT} 範囲、負荷変動に対して安定動作が確保されます。出力コンデンサは LDO の V_{OUT} ピンと GND ピンの間に接続し、プリント基板のトレースは 0.5cm 以下でルーティングしてください。

最近では、高速な負荷変動に応答できるとともに、他から重畳した高周波ノイズをバイパスできることから、超低 ESR の積層セラミック・コンデンサ (MLCC) の採用が増えています。ただし MLCC の実効容量は、印加電圧、経年、温度によって低下します。LDO の動作定格温度と動作定格電圧を考慮したとき、公称電圧での容量を $\pm 20\%$ の範囲で一般に維持できる X7R 誘電体または X5R 誘電体を使ったセラミック・コンデンサを強く推奨します。

セラミック、POSCAP、アルミ電解 / タンタルなどコンデンサを容量にかかわらず並列に接続すると、高周波領域での PSRR 性能と、負荷応答時の出力電圧の AC 性能の向上が図れます。

入力コンデンサ

動作の安定化のために X5R/X7R 特性の 10μF 以上の入力コンデンサを接続してください。入力セラミック・コンデンサは LDO の V_{IN} ピンと GND ピン間に接続し、プリント基板のトレースは 0.5cm 以下でルーティングしてください。

電力損失と放熱

ジャンクション温度が4ページに記載された「推奨動作条件 (Note 7)」で規定される温度範囲を超えないようにしてください。電力損失は式5を使って求められます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} + V_{IN} \times I_{GND} \quad (\text{式 5})$$

最大許容ジャンクション温度 $T_{J(MAX)}$ と、最大見込み周囲温度 $T_A(MAX)$ から、式6に示すように、最大許容電力損失が決まります。

$$P_{D(MAX)} = (T_{J(MAX)} - T_A) / \theta_{JA} \quad (\text{式 6})$$

θ_{JA} はジャンクション周囲熱抵抗です。

動作の安全性を確保するために、式5で求めた電力損失 P_D は、最大許容電力損失 $P_{D(MAX)}$ よりも小さくしなければなりません。

DFN パッケージはプリント基板上の銅箔をヒートシンクとして利用します。パッケージのEPADは銅箔パターン(グラウンド層)にハンダ付けしてください。銅箔パターンの面積を横軸に、DFN パッケージの θ_{JA} 特性を図13に示します。

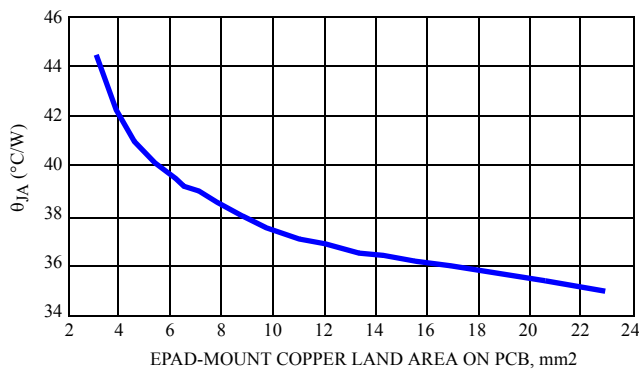


図13. サーマルビアを備えた4層基板上の3mm × 3mm 10LD DFN の θ_{JA} と、EPAD を実装する銅箔パターンの面積との関係

過熱フォルト保護

電力損失とパッケージ熱抵抗 (DFN では +48 °C /W) から、ジャンクション温度がサーマルシャットダウン温度を超えるかどうか分かります。ダイ温度がおよそ +160 °C を超えると、ダイ温度がおよそ +130 °C を下回るまで、LDO 出力はシャットダウンします。

サーマルパッドの一般的な設計指針

図14はICの放熱に効果をもたらすサーマルパッド上のビアの推奨例です。この配置例では各ビアの中心同士がビアの半径の3倍の間隔で並んでいます。ハンダリフローが困難にならない範囲で、ビアサイズはできるだけ小さく設計してください。

すべてのビアは、効率的に熱を拡散するために、低熱抵抗でパッド電位に接続してください。すべての層にメッキスルーホールで接続することが重要です。ビアの接続に「サーマルリリーフ」パターンは推奨されません。

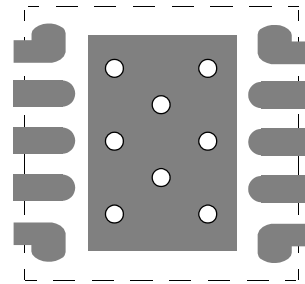


図14. プリント基板のビアパターン

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2012/6/6	FN7713.5	1. 12 ページの L10.3X3 のパッケージ寸法図をレビジョン 6 から最新のレビジョン 7 に変更。パッケージ寸法図の変更内容は以下のとおりです。 推奨ランドパターン上で、PACKAGE OUTLINE を削除し、ランド同士の中心間距離を記載。 Note 4 「リード幅は金属端子に適用され、端子先端から 0.18mm ~ 0.30mm の範囲で計測した値です。」がこのパッケージには該当しないので削除。それに応じて備考番号を変更。
2012/5/29		1. 7 ページの「入力電圧の要件」で、入力電圧を「2.2V」から「5V」に変更。
2012/5/23		1. 1 ページ : 3 段落目の 1 番目の文で「CMOS」を「BiCMOS」に変更。 2. 1 ページ : 1 段落目の文、「入力電圧範囲は 2.2V から 6V で、公称出力電圧は 5V です。」を「入力電圧範囲は 5V から 6V で、公称出力電圧は 5V です。」に変更。 3. 2 ページ : 注文情報の備考、「1.5V 出力品、3.3V 出力品、5V 出力品を将来製品化する予定です。詳細はインターシルまでお問い合わせください。」を削除。 4. 4 ページ : 推奨動作条件の「V _{IN} (GND 基準)」を 2.2V ~ 6V から 5V ~ 6V に変更。 5. 4 ページ : 推奨動作条件の「V _{OUT} 範囲 800mV ~ 5V」を削除。
2011/9/19	FN7713.4	1 ページ目の表 1 を更新し、1A LDO ファミリの詳細情報を掲載。
2011/4/22	FN7713.3	7 ページの図 8 で、波形のラベルを「V _{OUT} (50V/DIV)」から「V _{OUT} (50mV/DIV)」に訂正。 4 ページの「DC Output Voltage Accuracy」パラメータの MAX 値を -1.8 から +1.8 に訂正。
2011/2/1	FN7713.2	1. 1 ページの 2 段落目、「電流制限値の設定機能はアプリケーションシステムの信頼性の向上を目的としています。」を「電流制限値の設定機能はエンドアプリケーションシステムの信頼性の向上を目的としています。」に変更。 2. 1 ページの「特長」、「ランプ時間を設定可能なソフトスタート動作」を「ランプ時間を設定可能なソフトスタート」に変更。 3. データシート全体の記述を統一。 4. 3 ページの EPAD の説明、「グラウンド層への直接接続は任意です。」を「放熱性能を高めるために、グラウンド層に直接はんだ付けしてください。詳細は 9 ページの「電力損失と放熱」を参照してください。」に変更。 5. 5 ページの電気的特性の備考から、「動作の安定化には X5R/X7R 特性の 10μF 以上のコンデンサが V _{IN} と V _{OUT} に必要です。」と、「突入電流の上限値がアプリケーションで許容できる場合、この機能は使わないでください。V _{OUT} に大容量のバルクコンデンサを必要とするアプリケーションでのみ使用してください。」を削除。 6. 5 ページの電気的特性の PG PIN CHARACTERISTICS 欄で、V _{out} PG Flag Threshold パラメータの代表値を「85」%V _{out} から「84」%V _{out} に変更。 7. 9 ページに「PowerPAD の一般的な設計指針」セクションを図 14 とともに追加。 8. PGOOD をすべて PG に変更。
2011/1/28		θ _{Ja} の値を 51 °C /W から 48 °C /W に変更。
2011/1/25		1. 1 ページの「特長」 a. 「出力ノイズ 200μVRMS」を「出力ノイズ 210μVRMS」に変更。 2. 1 ページのアプリケーション回路例、右側の図 a. 「V _{OUT} 」(2 ピン) と「SENSE」(3 ピン) の文字サイズを変更。 3. 8 ページの式 4 a. 余分なカッコ「)」を削除。
2011/1/21		1 ページの「特長」の前に「ファミリの主な仕様一覧」を追加。 2 ページのブロック図から出力電圧設定可能品に対応した ADJ ピンを削除、SENSE 回路は記載継続。 3 ページの 8 ピンの説明、2 番目の文「... 電流制限値は 0.75mA...」を「... 電流制限値は 0.75A...」に変更。 4 ページの「電気的特性」、「AC CHARACTERISTICS」の「Input Supply Ripple Rejection」パラメータの TYP 値に対する TEST CONDITION 欄を、「f = 1kHz, ILOAD = 1A」と「f = 120Hz, ILOAD = 1A」から、「f = 1kHz, ILOAD = 1A」と「f = 1kHz, ILOAD = 100mA」に変更。6 ページの図 3、X 軸を「OUTPUT CURRENT (mA)」から「OUTPUT CURRENT (A)」に変更。 8 ページの図 12、図タイトルの「V _{IN} 」の「IN」を下付き文字に修正。
2010/12/6	FN7713.1	1. 2 ページの「ブロック図」 a. 出力電圧設定可能品に対応した ADJ ピンを追加、SENSE ピンに「出力電圧固定品」と追記 2. 4 ページの「Ground Pin Current」パラメータ、「TEST CONDITIONS」欄 a. 両方の行ともに「V _{OUT} + 0.4V」を「2.2V」に変更
2010/12/2	FN7713.0	初版

製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、通信、コンピューティング、コンシューマ、産業用機器の分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/product_tree/ をご覧ください。

ISL80121-5 に関するアプリケーション情報、関連ドキュメント、関連部品は、www.intersil.com 内の [ISL80121-5](#) のページを参照してください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルの製品は製品に関する情報のみを提供して販売されます。インターシルは、予告インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認くださいませようお願いいたします。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

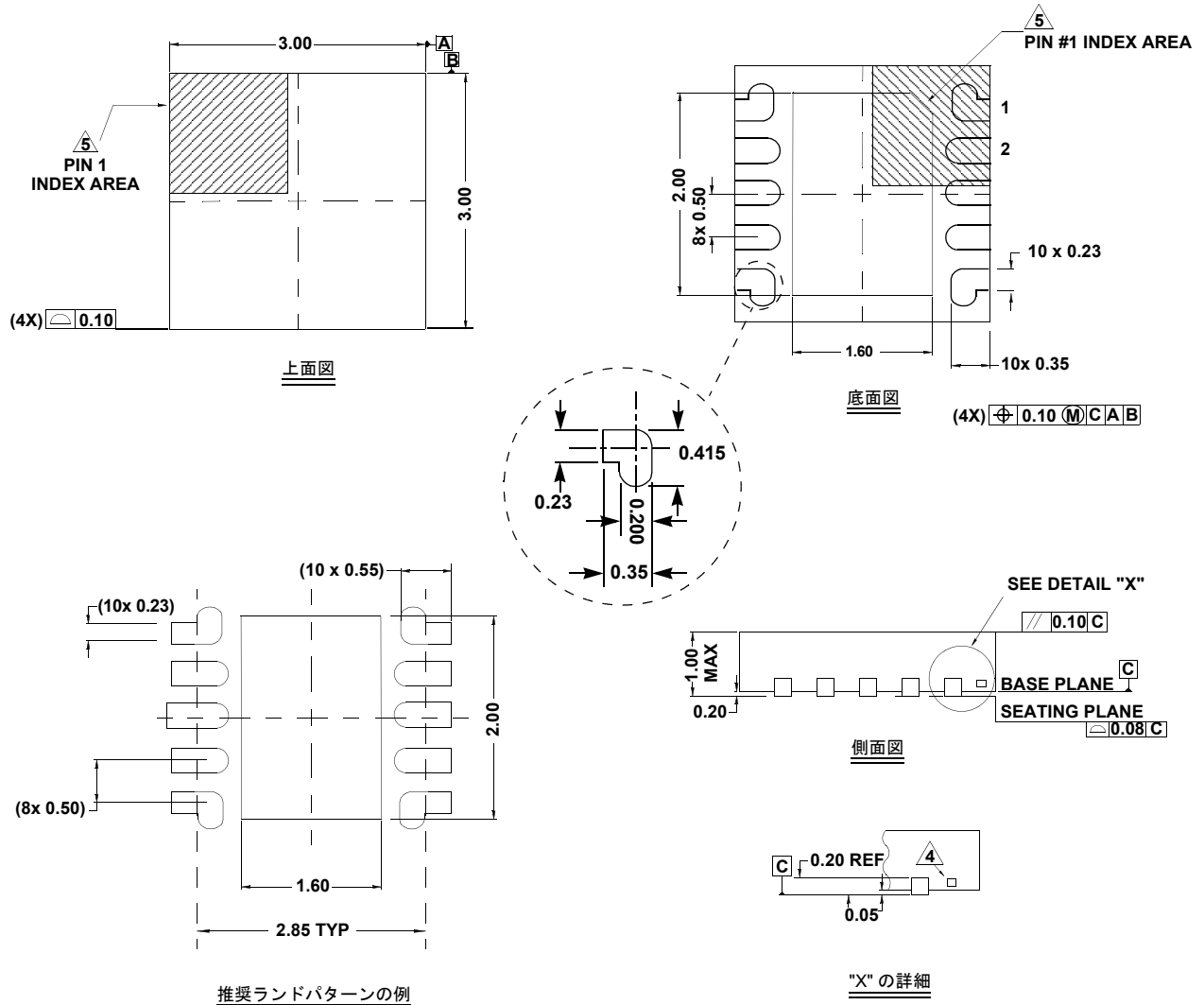
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

L10.3x3

10 LEAD DUAL FLAT PACKAGE (DFN)

Rev 6, 09/09



NOTE :

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。

4. タイパー (示されている場合) は非機能性です。

5. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。